

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244457

(43)Date of publication of application : 07.09.2001

(51)Int.CI.

H01L 29/78
 H01L 21/336
 H01L 21/28
 H01L 21/768

(21)Application number : 2000-057405

(22)Date of filing : 02.03.2000

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

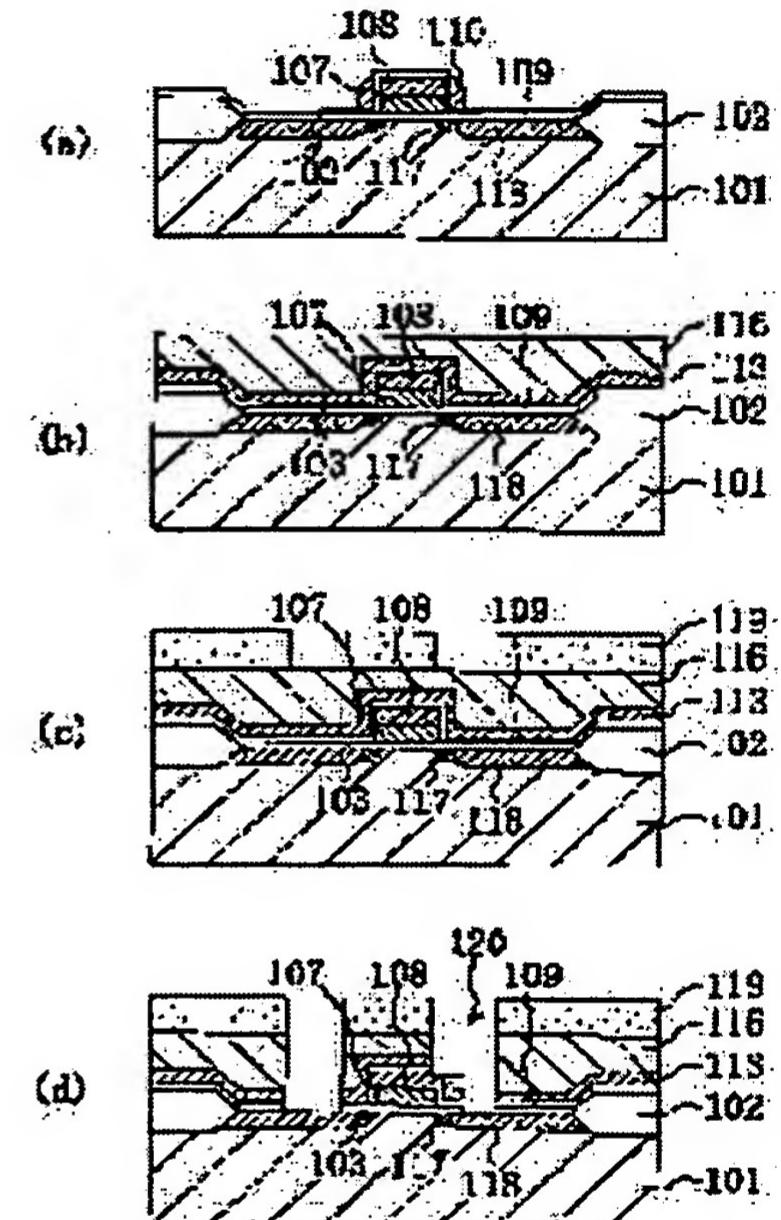
(72)Inventor : NAKAOKA HIROAKI
UEHARA TAKASHI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device that has a self-aligned contact and a highly reliable hyperfine transistor disposed thereon.

SOLUTION: A gate oxide film 103, a gate electrode 107 and a gate-top insulating film 108 are formed on a silicon substrate 101. A nitride film sidewall 110 is formed on side surfaces of the gate electrode and the gate-top insulating film via a pad film 109 composed of a thin oxide film. Ion implantation is performed to form a high-concentration diffusion layer 118 while the nitride film sidewall 110 is provided. Then, the nitride film sidewall is selectively removed and an etch stopper film 113 and an interlayer insulating film 116 are formed on the substrate. Subsequently, a self-aligned contact hole 120 that penetrates through the interlayer insulating film and the etch stopper film and reaches the high-concentration diffusion layer 118 is opened. A wide gap between the gate electrodes is secured while the self-aligned contact is smoothly formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-244457
(P2001-244457A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int CL*	識別記号	F I	データード (参考)
H01L 29/78		H01L 21/28	L 4M104
21/336		29/78	301P 5F033
21/28		21/90	C 5P040
21/768		29/78	301Y

審査請求 未請求 請求項の数 5 OL (全 15 頁)

(21) 出願番号	特願2000-57405(P2000-57405)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成12年3月2日 (2000.3.2)	(72) 発明者	中間 弘明 大阪府高槻市幸町1番1号 松下電子工業 株式会社内
		(72) 発明者	上原 隆 大阪府高槻市幸町1番1号 松下電子工業 株式会社内
		(74) 代理人	100077931 弁理士 前田 弘 (外1名)

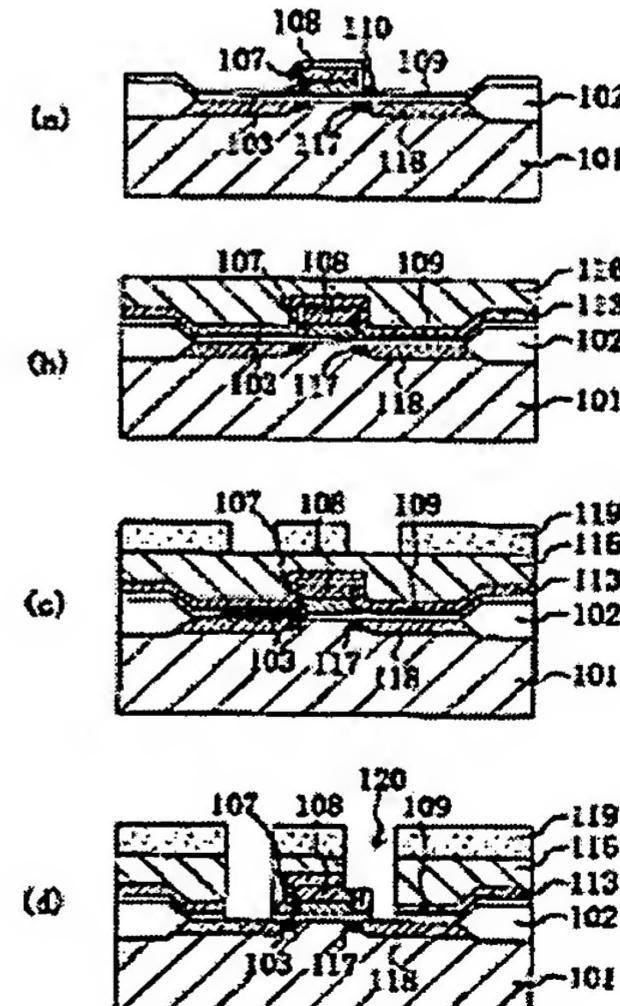
最終頁に続く

(54) [発明の名称] 半導体装置の製造方法

(57) [要約]

【課題】自己整合型コンタクトを備え、超微細で信頼性の高いトランジスタを配置した半導体装置を形成するための製造方法を提供する。

【解決手段】シリコン基板101の上に、ゲート酸化膜103、ゲート電極107、ゲート上絶縁膜108を形成し、ゲート電極及びゲート上絶縁膜の側面上に深い酸化膜からなるパット膜109を介在させて塗化膜サイドウォール110を形成する。塗化膜サイドウォール110を付けた状態で高濃度拡散層118形成のためのイオン注入を行なってから、塗化膜サイドウォールを選択的に除去し、基板上にエッチストップ膜113と、層間絶縁膜115とを堆積する。その後、層間絶縁膜、エッチストップ膜を貫通する高濃度拡散層118に到達する自己整合型コンタクト孔120を開口する。ゲート電極間の間隔を広く確保しつつ、自己整合型コンタクトの形成を円滑に行なう。



【特許請求の範囲】

【請求項 1】 半導体基板の一部に素子分離領域を形成する工程 (a) と、
上記半導体基板の上記素子分離領域によって囲まれる領域上に、ゲート絶縁膜、ゲート電極及びゲート上絶縁膜を形成する工程 (b) と、
上記工程 (b) の後、基板上に、絶縁性材料からなるパッド膜を堆積する工程 (c) と、
上記パッド膜の上に、パッド膜との選択的エッチングが可能な材質からなるサイドウォール用膜を堆積する工程 (d) と、
上記サイドウォール用膜をエッチバックして、上記ゲート上絶縁膜及びゲート電極の側面上に、上記パッド膜を介在させてサイドウォールを形成する工程 (e) と、
上記ゲート上絶縁膜及びサイドウォールをマスクとする不純物のイオン注入により上記半導体基板内に不純物を導入して、半導体基板内に高濃度拡散層を形成する工程 (f) と、
選択的エッチングにより、上記パッド膜を残したままで上記サイドウォールを除去する工程 (g) と、
上記工程 (g) の後、基板上に、コンタクト孔形成時ににおけるエッチストップ膜を堆積する工程 (h) と、
上記工程 (h) の後、基板上に、上記エッチストップ膜との選択エッチングが可能な材料からなる層間絶縁膜を形成する工程 (i) と、
上記層間絶縁膜、上記エッチングストップ膜及び上記パッド膜を通して上記上記高濃度拡散層に到達するコンタクト孔を上記ゲート電極に対して自己整合的に形成する工程 (j) を含む半導体装置の製造方法。
【請求項 2】 請求項 1記載の半導体装置の製造方法において、
上記工程 (c) では、上記パッド膜としてシリコン酸化膜を堆積し、
上記工程 (d) では、上記サイドウォール用膜としてシリコン窒化膜を堆積し、
上記工程 (g) では、熱焼酸を用いて上記サイドウォールを除去することを特徴とする半導体装置の製造方法。
【請求項 3】 請求項 1記載の半導体装置の製造方法において、
上記工程 (c) では、上記パッド膜としてシリコン酸化膜を堆積し、
上記工程 (d) では、上記サイドウォール用膜として窒化チタン膜を堆積し、
上記工程 (e) では、硫酸及び過酸化水素水の混合液を用いて上記サイドウォールを除去することを特徴とする半導体装置の製造方法。
【請求項 4】 請求項 1記載の半導体装置の製造方法において、
上記工程 (c) では、上記パッド膜としてシリコン酸化膜を堆積し、

上記工程 (d) では、上記サイドウォール用膜として不純物をドープしたシリコン酸化膜 (DPSG 膜) を堆積し、

上記工程 (e) では、フッ酸蒸気を用いて上記サイドウォールを除去することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記工程 (b) の後、上記工程 (c) の前に、上記ゲート上絶縁膜及びゲート電極をマスクとする不純物のイオン注入により上記半導体基板内に不純物を導入して、半導体基板内に低濃度拡散層を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に自己整合型のコンタクト孔を有する絶縁ゲート電界効果トランジスタの製法に関する。

【0002】

【従来の技術】 近年、半導体デバイス中の半導体素子の微細化及び高密度化は急速な勢いで進んでおり、現在では、ゲート長が 0.15 μm というデザインルールで設計されたトランジスタを搭載した CMOS デバイス等の高集積半導体デバイスが開発試作されている。このような高集積デバイスを量産プロセスによって製造するには、また、種々の課題が存在するが、その 1 つとして、半導体素子の製造プロセスにおいて繰り返し行なわれるフォトリソグラフィー工程でのマスク合せマージンの低減がある。

【0003】 通常、半導体デバイスの製造では、半導体素子用のバターンはフォトリソグラフィー工程において、前工程で形成した下層のバターンのアライメントマークにマスクを重ね合せて上層のバターンを形成する。しかし、このマスク合せの際に完全に下層のバターンと上層のバターンを合わせるのは不可能で、必ず下層のバターンと上層のバターンとの間に重ね合せずが生じる。そこで、この合せずれを見越してマスク上のバターンの寸法に余裕 (マージン) をもたせ、最大限マスクの合わせずれが生じても、実際に形成される部材同士の接続や絶縁状態に不都合が生じないように工夫するすることが必要となる。しかし、このようなマージンを設けることは、トランジスタ等の半導体素子の高集積化を妨げる大きな障害となっている。

【0004】 そこで、最近では、マージンを不要とするマージンレス化の技術手法が種々検討されている。その中でも、特に重要なコンタクト孔の形成の自己整合化 (セルフアラインコンタクト、略して SAC という) によるマージンレス化がある。以下、従来提案されている SAC 技術の例について説明する。

【0005】 (第 1 の従来例) 図 7 (a) ~ (e), 図

8 (a) ~ (e) 及び図9 (a) ~ (d) は、第1の従来例である自己整合型コンタクト孔を有するMOSトランジスタの製造工程を示す断面図である。

【0006】まず、図7 (a) に示す工程で、p型のシリコン基板501上に、選択酸化 (LOCOS) 法によって、フィールド酸化膜502を形成し、その後、熱酸化法により、シリコン基板501のうちフィールド酸化膜502によって囲まれた領域の露出している表面部を酸化して、シリコン基板501上にゲート酸化膜503を形成する。

【0007】次に、図7 (b) に示す工程で、基板上に、n型多結晶シリコン膜504を堆積し、続いて、n型多結晶シリコン膜504の上にシリコン空化膜505を堆積する。その後、シリコン空化膜505の上にゲート電極を形成するためのレジストパターン506を形成する。

【0008】次に、図7 (c) に示す工程で、レジストパターン506をマスクとするエッチングにより、シリコン空化膜505および多結晶シリコン膜504をバーニングして、ゲート電極507とゲート上絶縁膜508とをそれぞれ形成する。その後、レジストパターン506を除去した後、基板上に、サイドウォール用シリコン空化膜509を堆積する。

【0009】次に、図7 (d) に示す工程で、サイドウォール用シリコン空化膜509をエッチバックして、ゲート電極507およびゲート上絶縁膜508の側面上に、空化膜サイドウォール510を形成する。

【0010】次に、図7 (e) に示す工程で、熱酸化処理を行なって、シリコン基板501の上に残存するゲート酸化膜503の厚みを増大させて、空化膜サイドウォール510のパッド膜として機能する厚いシリコン酸化膜511を形成する。このとき、ゲート酸化膜503のうちゲート電極507の下方の部分はそれほど厚みが増大することはないが、ゲート酸化膜503のうち空化膜サイドウォール510の下方の部分は、シリコン基板501が酸化される分だけ厚くなる。

【0011】次に、図8 (a) に示す工程で、フィールド酸化膜502とゲート上絶縁膜508と空化膜サイドウォール510とをマスクとして、不純物のイオン注入を行なって、シリコン基板501のうち空化膜サイドウォール510の外側に位置する領域に低濃度イオン注入層512を形成する。

【0012】次に、図8 (b) に示す工程で、基板上に、追加サイドウォール用シリコン空化膜513を堆積する。そして、図8 (c) に示す工程で、追加サイドウォール用シリコン空化膜513をエッチバックして、空化膜サイドウォール510の側面上に追加空化膜サイドウォール514を形成する。

【0013】次に、図8 (d) に示す工程で、フィールド酸化膜502とゲート上絶縁膜508と空化膜サイド

ウォール510と追加空化膜サイドウォール514とをマスクとして、不純物のイオン注入を行ない、シリコン基板501のうち低濃度イオン注入層512の外側に位置する領域に高濃度イオン注入層515を形成する。

【0014】次に、図8 (e) に示す工程で、基板上に層間絶縁膜となるBPSG (Boron-Phospho-Silicate-Glass) 膜516を堆積した後、850°C, 30分間程度の熱処理 (アニール) により、注入された不純物を活性化して、n- 拡散層517およびn+ 拡散層518を形成する。

【0015】次に、図9 (a) に示す工程で、BPSG 膜516の上に、コンタクト孔を開口するためのマスクとなるレジストパターン519を形成する。このレジストパターン519は、n+ 拡散層518の上方に位置する部分に開口を有しているが、この開口の位置はゲート電極507に対して自己整合的に形成されている。つまり、レジストパターン519の開口は、フォトマスクの位置のずれ方によっては、各空化膜サイドウォール510, 514やゲート上絶縁膜508とオーバーラップすることもあり、フィールド酸化膜502とオーバーラップすることもある。

【0016】次に、図9 (b) に示す工程で、レジストパターン519をマスクとするエッチングを行なって、層間絶縁膜であるBPSG 膜516とシリコン酸化膜511とを貫通してn+ 拡散層518に到達するコンタクト孔520を開口する。

【0017】次に、図9 (c) に示す工程で、レジストパターン519を除去した後、コンタクト孔520の内部及び層間絶縁膜516の上にアルミニウム合金膜521を堆積する。その後、アルミニウム合金膜521の上に配線を形成するためのレジストパターン522を形成する。

【0018】次に、図9 (d) に示す工程で、レジストパターン522をマスクとして用いたエッチングによりアルミニウム合金膜521をバーニングして、配線523を形成する。

【0019】(第2の従来例) 図10 (a) ~ (e) 及び図11 (a) ~ (d) は、第2の従来例である自己整合型コンタクト孔を有するMOSトランジスタの製造工程を示す断面図である。

【0020】まず、図10 (a) に示す工程で、上記第1の従来例における図7 (a), (b) と同様の処理を行なって、p型のシリコン基板501上に、選択酸化 (LOCOS) 法によるフィールド酸化膜502と、ゲート酸化膜503と、n型多結晶シリコン膜からなるゲート電極507と、シリコン空化膜からなるゲート上絶縁膜508とをそれぞれ形成する。

【0021】次に、図10 (b) に示す工程で、フィールド酸化膜502と、ゲート電極507上のゲート上絶縁膜508をマスクとして、不純物のイオン注入を行な

って、シリコン基板501のうちゲート電極507の両側方に位置する領域に低濃度イオン注入層512を形成する。

【0022】次に、図10(c)に示す工程で、基板上にサイドウォール用シリコン窒化膜を堆積した後、サイドウォール用シリコン窒化膜をエッチバックして、ゲート電極507及びゲート上絶縁膜508の側面上に窒化膜サイドウォール510を形成する。

【0023】次に、図10(d)に示す工程で、フィールド酸化膜502と、ゲート電極507及びゲート上絶縁膜508と、窒化膜サイドウォール510とをマスクとして、不純物のイオン注入を行なって、シリコン基板501のうち低濃度イオン注入層512の外側に位置する領域に高濃度イオン注入層515を形成する。

【0024】次に、図10(e)に示す工程で、100℃、10秒間程度の熱処理(アニール)により、注入された不純物の活性化して、n-拡散層517及びn+拡散層518を形成する。さらに、基板上に、シリコン窒化膜からなるエッチングトップ膜513とBPSG膜516とを堆積する。

【0025】次に、図11(a)に示す工程で、BPSG膜516の上に、コンタクト孔を開口するためのマスクとなるレジストパターン519を形成する。このレジストパターン519は、n+拡散層518の上方に位置する部分に開口を有しているが、この開口の位置はゲート電極507に対して自己整合的に形成されている。つまり、レジストパターン519の開口は、フォトマスクの位置のずれ方によっては、窒化膜サイドウォール510やゲート上絶縁膜508とオーバーラップすることもあり、フィールド酸化膜502とオーバーラップすることもある。

【0026】次に、図11(b)に示す工程で、レジストパターン519をマスクとして用いたエッチングを行なって、層間絶縁膜であるBPSG膜516とエッチングトップ膜513とゲート酸化膜503とを貫通してn+拡散層518に到達するコンタクト孔520を開口する。

【0027】次に、図11(c)に示す工程で、レジストパターン519を除去した後、コンタクト孔520の内部及び層間絶縁膜516の上にアルミニウム合金膜521を堆積する。その後、アルミニウム合金膜521の上に配線を形成するためのレジストパターン522を形成する。

【0028】次に、図11(d)に示す工程で、レジストパターン522をマスクとして用いたエッチングによりアルミニウム合金膜521をバーニングして、配線523を形成する。

【発明が解決しようとする課題】上記2つの従来の技術では、ゲート電極の上面及び側面上に、ゲート上絶縁膜、窒化膜サイドウォールをそれぞれ形成することによ

って、ソース・ドレイン領域となる拡散層へのコンタクト孔を、ゲート電極に対してマージンレスで自己整合的に形成できることとなる。

【0030】しかしながら、上記第1の従来技術では、以下のようないくつかの不具合があつた。

【0031】第1に、ゲート電極の側面上に窒化膜サイドウォールを形成した後に、熱酸化を行なって、窒化膜サイドウォールの下方にバッド膜となるシリコン酸化膜511を形成する。このため、シリコン基板501のうち窒化膜サイドウォールの下方に位置する部分が酸化されて凹み、酸化のための熱処理によってシリコン基板501中の不純物が拡散する。また、低濃度イオン注入層形成のためのLCD注入工程を、熱酸化工程の前後どちらで行っても、不純物濃度の制御が困難となる。これらの原因によって、パンチスルーや発生などの短チャネル効果、しきい値電圧のばらつき、電流駆動能力の低下が生じたり、設計マージンの低下を招くこととなる。

【0032】第2に、ゲート電極の上部を高融点金属膜により構成した場合、その後の工程の熱処理により膜はがれを起こすおそれがある。

【0033】第3に、層間絶縁膜を貫通するコンタクト孔が素子分離領域に跨って形成された場合、コンタクト孔が素子分離領域のフィールド酸化膜を貫通することにより、基板リーグが発生するおそれがある。

【0034】また、第2の従来技術では、コンタクト孔が素子分離領域に跨って形成される場合の不具合を回避すべく、ソース・ドレイン領域となる拡散層の形成後、基板上にエッチングトップ用のシリコン窒化膜513を堆積している。このために、エッチングトップ膜513の膜厚分だけゲート電極間の間隙が縮小されるので、この狭い間隙への層間絶縁膜の埋め込みや、コンタクト孔を開口するためのエッチングが困難となり、半導体装置の微細化に不利となる。

【0035】本発明の目的は、自己整合型コンタクト孔を備え、超微細で信頼性の高いMISトランジスタを配置した半導体装置を形成するための方法を提供することにある。

【0036】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板の一部に素子分離領域を形成する工程(a)と、上記半導体基板の上記素子分離領域によって囲まれる領域上に、ゲート絶縁膜、ゲート電極及びゲート上絶縁膜を形成する工程(b)と、上記工程

(b)の後、基板上に、絶縁性材料からなるバッド膜を堆積する工程(c)と、上記バッド膜の上に、バッド膜との選択的エッチングが可能な材質からなるサイドウォール用膜を堆積する工程(d)と、上記サイドウォール用膜をエッチバックして、上記ゲート上絶縁膜及びゲート電極の側面上に、上記バッド膜を介在させてサイドウォールを形成する工程(e)と、上記ゲート上絶縁膜及

びサイドウォールをマスクとする不純物のイオン注入により上記半導体基板内に不純物を導入して、半導体基板内に高濃度拡散層を形成する工程（f）と、選択的エッチングにより、上記パッド膜を残したままで上記サイドウォールを除去する工程（g）と、上記工程（e）の後、基板上に、コンタクト孔形成時におけるエッチストップ膜を堆積する工程（h）と、上記工程（h）の後、基板上に、上記エッチストップ膜との選択エッチングが可能な材料からなる層間絶縁膜を形成する工程（i）と、上記層間絶縁膜、上記エッチングストップ膜及び上記パッド膜を貫通して上記上記高濃度拡散層に到達するコンタクト孔を上記ゲート電極に対して自己整合的に形成する工程（j）とを含んでいい。

【0037】この方法により、工程（e）においては、高濃度拡散層の範囲をサイドウォールによって規定しつつ、高濃度拡散層の濃度プロファイルを所望の状態に制御することができる。一方、工程（i）においては、エッチストップ膜はあるもののサイドウォールが除去されているので、ゲート電極同士の間の隙間を広く確保することができ、層間絶縁膜のゲート電極間への埋め込みや、工程（j）におけるコンタクト孔の形成を円滑に行なうことができる。また、エッチストップ膜によって、コンタクト孔をゲート電極に対して自己整合的に形成でき、かつ、コンタクト孔が素子分離領域に跨って形成された場合にも、コンタクト孔が素子分離領域を貫通するのを阻止することができる。さらに、エッチストップ膜とゲート電極との間にはパッド膜が介在しているので、エッチストップ膜の材質が何であってもチャネル領域へのストレスの印加を緩和することができ、ストレスの印加に起因する欠陥の発生などの不具合を確実に抑制することができる。したがって、自己整合型コンタクトを備え、超微細で信頼性の高いMISトランジスタを配置した半導体装置を形成することができる。

【0038】上記工程（c）では、上記パッド膜としてシリコン酸化膜を堆積し、上記工程（d）では、上記サイドウォール用膜としてシリコン空化膜を堆積し、上記工程（e）では、熱焼酸を用いて上記サイドウォールを除去することができる。

【0039】また、上記工程（c）では、上記パッド膜としてシリコン酸化膜を堆積し、上記工程（d）では、上記サイドウォール用膜として窒化チタン膜を堆積し、上記工程（e）では、硫酸及び過酸化水素水の混合液を用いて上記サイドウォールを除去するようにしてもよい。

【0040】特に、上記工程（c）では、上記パッド膜としてシリコン酸化膜を堆積し、上記工程（d）では、上記サイドウォール用膜として不純物をドープしたシリコン酸化膜（BPSG膜）を堆積し、上記工程（e）では、ラッ酸蒸気を用いて上記サイドウォールを除去することにより、ウエットエッチングを行なわなくてもよい

ので、製造工程の所要時間の短縮と、工程の簡素化とを図ることができる。

【0041】上記工程（b）の後、上記工程（c）の前に、上記ゲート上絶縁膜及びゲート電極をマスクとする不純物のイオン注入により上記半導体基板内に不純物を導入して、半導体基板内に低濃度拡散層を形成する工程をさらに含むことにより、短チャネル効果の防止機能の高いLDD構造を有するMISトランジスタを配置した半導体装置を形成することができる。

【0042】

【発明の実施の形態】（第1の実施形態）図1（a）～（d）、図2（a）～（d）及び図3（a）～（d）は、本発明の第1の実施形態における半導体装置の製造工程を示す断面図である。

【0043】まず、図1（a）に示す工程で、P型のシリコン基板101上に、選択酸化（LOCOS）法によって、膜厚が約400nmのフィールド酸化膜102を形成し、その後、熱酸化法により、シリコン基板101のうちフィールド酸化膜102によって囲まれた領域の露出している表面部を酸化して、シリコン基板101上に膜厚が約4nmのゲート酸化膜103を形成する。

【0044】次に、図1（b）に示す工程で、基板上に、膜厚が約200nmのn型多結晶シリコン膜104を堆積し、続いて、n型多結晶シリコン膜104の上に膜厚が約150nmのシリコン空化膜105を堆積する。その後、シリコン空化膜105の上にゲート電極を形成するためのレジストパターン106を形成する。

【0045】次に、図1（c）に示す工程で、レジストパターン106をマスクとするエッチングにより、シリコン空化膜105および多結晶シリコン膜104をパターニングして、ゲート上絶縁膜108とゲート電極107とをそれぞれ形成する。その後、フィールド酸化膜102とゲート上絶縁膜108（及びゲート電極107）とをマスクとして、不純物のイオン注入を行なって、シリコン基板101のうちゲート電極107の両側方に位置する領域に低濃度イオン注入層112を形成する。このとき、例えば砒素を、注入エネルギーが10keVで、ドーズ量 $5 \times 10^{14}/cm^2$ の条件で注入する。

【0046】次に、図1（d）に示す工程で、基板上に、ゲート電極107およびゲート上絶縁膜108を積み膜厚が約20nmの薄いシリコン酸化膜からなるパッド膜109を形成する。その後、シリコン空化膜を堆積した後、シリコン空化膜をエッチバックして、ゲート電極107およびゲート上絶縁膜108の側面上に、空化膜サイドウォール110を形成する。その後、フィールド酸化膜102とゲート上絶縁膜108と空化膜サイドウォール110とをマスクとして、不純物のイオン注入を行なって、シリコン基板101のうち低濃度イオン注入層112の外側に位置する領域に高濃度イオン注入層115を形成する。このとき、例えば砒素を、注入エネ

ルギーが40keVで、ドーズ量3×10¹⁵/cm²の条件で注入する。

【0047】次に、図2(a)に示す工程で、1000℃、10秒間の熱処理(アニール)により、低濃度イオン注入層112及び高濃度イオン注入層115に注入された不純物を活性化して、低濃度拡散層117及び高濃度拡散層118をそれぞれ形成する。

【0048】次に、図2(b)に示す工程で、例えば熱焼酸によるウエットエッチングによって、窒化膜サイドウォール110を除去する。その後、基板上に、膜厚が約50nmのシリコン窒化膜であるエッチストップ膜113を堆積する。さらに、エッチストップ膜113の上に、層間絶縁膜として膜厚が約1000nmのBPSG(Boron-Phospho-Silicate-Glass)膜116を堆積する。

【0049】次に、図2(c)に示す工程で、BPSG膜116の上に、コンタクト孔を開口するためのマスクとなるレジストパターン119を形成する。このレジストパターン119は、高濃度拡散層118の上方に位置する部分に開口を有しているが、この開口の位置はゲート電極107に対して自己整合的に形成されている。つまり、レジストパターン119の開口は、フォトマスクの位置のずれ方によつては、エッチストップ膜113の垂直方向に延びる部分やゲート上絶縁膜108とオーバーラップすることもあり、フィールド酸化膜102とオーバーラップすることもある。

【0050】次に、図2(d)に示す工程で、レジストパターン119をマスクとするエッチングを行なつて、層間絶縁膜であるBPSG膜116とエッチストップ膜113とバッド膜109とを貫通して高濃度拡散層118に到達するコンタクト孔120を開口する。

【0051】その後、上記従来例と同様に、コンタクト孔120の内部及び層間絶縁膜116の上にアルミニウム合金膜を堆積した後、アルミニウム合金膜をバーニングして、配線を形成する。

【0052】本実施形態によると、ゲート電極107及びゲート上絶縁膜108の上方と側方とが、エッチストップ膜113によって覆われているので、層間絶縁膜であるBPSG膜116を貫通するコンタクト孔120がゲート電極107及びゲート上絶縁膜108に跨って開口されても、コンタクト孔120がゲート電極107に到達することはない。したがつて、コンタクト孔120をゲート電極107に対して自己整合的に形成することができる。また、コンタクト孔120が未子分離領域に跨って形成されても、フィールド酸化膜102の上もエッチストップ膜113によって覆われているので、コンタクト孔120がフィールド酸化膜102を貫通することはなく、上記第1の従来例のような基板リーカーの発生を確実に防止することができる。つまり、いわゆるボーダレスのセルフアラインコンタクト孔を形成すること

が可能になる。

【0053】一方、エッチストップ膜113の下地としてシリコン酸化膜からなるバッド膜109が設けられているので、上記第1の従来例のことくゲート酸化膜をさらに熱酸化して厚いシリコン酸化膜(図7(e))に示すシリコン酸化膜511)を形成しなくとも、エッチストップ膜113によってチャネル領域にストレスが印加されることはない。したがつて、上記第1の従来例のようなシリコン基板の凹みや低濃度拡散層117の不純物濃度の制御性の悪化を招くこともない。したがつて、トランジスタの短チャネル効果の発生を確実に抑制することができる。

【0054】また、層間絶縁膜であるBPSG膜116を堆積する際には、ゲート電極107の側方にエッチストップ膜113と薄いバッド膜109があるものの、窒化膜サイドウォール110がすでに除去されているので、ゲート電極107同士間の隙間は十分広く確保され、第2の従来例のことく、BPSG膜116の埋め込みや、コンタクト孔120の開口が困難になることはない。

【0055】つまり、LDD構造のトランジスタに必要な低濃度拡散層117、高濃度拡散層118をそれぞれ所定の位置に、かつ所定の温度プロファイルを有するよう形成するには、図1(d)に示すように、ゲート電極107の側方に窒化膜サイドウォール110を設けておく必要がある。例えば、図2(b)に示す状態、かつ、BPSG膜116がないとした状態で、高濃度拡散層118を形成するためのイオン注入を行なうと、比較的厚めのエッチストップ膜113によって基板が覆われているために、イオン注入される不純物の温度プロファイルを制御することが困難となるからである。一方、高濃度拡散層118形成のためのイオン注入を行なった後は、エッチストップ膜113があることで、コンタクト孔120がゲート電極107とオーバーラップしても、ゲート上絶縁膜108とエッチストップ膜113によってコンタクト孔120がゲート電極107に到達するのを確実に阻止することができる。

【0056】ここで、上記各従来例においては、最終の仕上がり構造において設けられていた窒化膜サイドウォールは、LDD構造の高濃度拡散層形成のためのイオン注入の際に高濃度拡散層の範囲を規定する部材として機能するとともに、セルフアラインコンタクト(SAC)を形成する際のエッチングストッパーとしても機能している。それに対し、本実施形態においては、窒化膜サイドウォール110を不純物イオンの注入の際に高濃度拡散層118の範囲を規定するためにのみ用い、その後は、基板全体を覆うエッチストップ膜113に、セルフアラインコンタクト(SAC)の円滑な形成を確保する役割を果たさせるようにしているのである。

【0057】よつて、本実施形態では、トランジスタの

特性を良好に維持しつつ、セルファラインコンタクト（SAC）構造を有する、超微細で信頼性の高いMISトランジスタを配置した半導体装置を得ることができる。

【0058】(第2の実施形態) 図3(a)～(d)及び図4(e)～(d)は、本発明の第2の実施形態における半導体装置の製造方法を示す断面図である。

【0059】まず、図3(a)に示す工程で、D型のシリコン基板101上に、選択酸化(LOCOS)法によって、膜厚が約4.0nmのフィールド酸化膜102を形成し、その後、熱酸化法により、シリコン基板101のうちフィールド酸化膜102によって囲まれた領域の露出している表面部を酸化して、シリコン基板101上に膜厚が約4nmのゲート酸化膜103を形成する。

【0060】次に、図3(b)に示す工程で、基板上に、膜厚が約2.0nmのn型多結晶シリコン膜104を堆積し、続いて、n型多結晶シリコン膜104の上に膜厚が約1.5nmのシリコン空化膜105を堆積する。その後、シリコン空化膜105の上にゲート電極を形成するためのレジストパターン106を形成する。

【0061】次に、図3(c)に示す工程で、レジストパターン106をマスクとするエッチングにより、シリコン空化膜105および多結晶シリコン膜104をバーニングして、ゲート上絶縁膜108とゲート電極107とをそれぞれ形成する。その後、フィールド酸化膜102とゲート上絶縁膜108(及びゲート電極107)とをマスクとして、不純物のイオン注入を行なって、シリコン基板101のうちゲート電極107の両側方に位置する領域に低濃度イオン注入層112を形成する。このとき、例えば砒素を、注入エネルギーが10keVで、ドーズ量 $5 \times 10^{14}/\text{cm}^2$ の条件で注入する。

【0062】次に、図3(d)に示す工程で、基板上に、ゲート電極107およびゲート上絶縁膜108を積み、膜厚が約2.0nmの薄いシリコン酸化膜からなるバッド膜109を形成する。その後、空化チタン膜を堆積した後、空化チタン膜をエッチバックして、ゲート電極107およびゲート上絶縁膜108の側面上に、空化チタン膜サイドウォール110を形成する。その後、フィールド酸化膜102とゲート上絶縁膜108と空化チタン膜サイドウォール110とをマスクとして、不純物のイオン注入を行なって、シリコン基板101のうち低濃度イオン注入層112の外側に位置する領域に高濃度イオン注入層115を形成する。このとき、例えば砒素を、注入エネルギーが40keVで、ドーズ量 $3 \times 10^{15}/\text{cm}^2$ の条件で注入する。

【0063】次に、図4(e)に示す工程で、1000°C、1.0秒間の熱処理(アニール)により、低濃度イオン注入層112及び高濃度イオン注入層115に注入された不純物を活性化して、低濃度拡散層117及び高濃度拡散層118をそれぞれ形成する。

【0064】次に、図4(b)に示す工程で、例えば硫酸と過酸化水素との混合液によるウエットエッチングによって、空化チタン膜サイドウォール110を除去する。その後、基板上に、膜厚が約5.0nmのシリコン空化膜であるエッチストップ膜113を堆積する。さらに、エッチストップ膜113の上に、層間絶縁膜として膜厚が約1.0nmのBPSG膜116を堆積する。

【0065】次に、図4(c)に示す工程で、BPSG膜116の上に、コンタクト孔を開口するためのマスクとなるレジストパターン119を形成する。このレジストパターン119は、高濃度拡散層118の上方に位置する部分に開口を有しているが、この開口の位置はゲート電極107に対して自己整合的に形成されている。つまり、レジストパターン119の開口は、フォトマスクの位置のずれ方によつては、エッチストップ膜113の垂直方向に延びる部分やゲート上絶縁膜108とオーバーラップすることもあり、フィールド酸化膜102とオーバーラップすることもある。

【0066】次に、図4(d)に示す工程で、レジストパターン119をマスクとするエッチングを行なって、層間絶縁膜であるBPSG膜116とエッチストップ膜113とバッド膜109とを貫通して高濃度拡散層118に到達するコンタクト孔120を開口する。

【0067】その後、上記従来例と同様に、コンタクト孔120の内部及び層間絶縁膜116の上にアルミニウム合金膜を堆積した後、アルミニウム合金膜をバーニングして、配線を形成する。

【0068】本実施形態においても、上記第1の実施形態と同様に、高濃度拡散層118形成のための不純物イオンの注入の際(図3(d)参照)には、空化チタン膜サイドウォール110が存在するので、高濃度拡散層118の範囲の規定と遮断プロファイルの制御とが円滑に行なわれる。一方、層間絶縁膜であるBPSG膜116を堆積する前には、空化チタン膜サイドウォール110が除去されゲート電極間の間隙が広く確保されている。また、エッチストップ膜113によってSACの形成時にコンタクト孔がゲート電極に到達したり、コンタクト孔が素子分離領域のフィールド酸化膜102を貫通するのが阻止される。よつて、上記第1の実施形態と同じ効果を発揮することができる。

【0069】特に、本実施形態においては、第1の実施形態におけるシリコン空化膜からなる空化膜サイドウォール110に代えて、空化チタン膜からなる空化チタン膜サイドウォール110を設けているので、この空化チタン膜サイドウォール110を除去する際、選択ウエットエッチングを用いればシリコン酸化膜との選択干渉があるので、下地のバッド膜109をほとんどエッチングすることなく、容易に選択エッチングを行なうことができる。

【0070】(第3の実施形態) 図5(e)～(d)及

並びに図6 (e) ～ (d) は、本発明の第3の実施形態における半導体装置の製造方法を示す断面図である。

【0071】まず、図5 (a) に示す工程で、p型のシリコン基板101上に、選択酸化 (LOCOS) 法によって、膜厚が約400nmのフィールド酸化膜102を形成し、その後、熱酸化法により、シリコン基板101のうちフィールド酸化膜102によって囲まれた領域の露出している表面部を酸化して、シリコン基板101上に膜厚が約4nmのゲート酸化膜103を形成する。

【0072】次に、図5 (b) に示す工程で、基板上に、膜厚が約200nmのn型多結晶シリコン膜104を堆積し、続いて、n型多結晶シリコン膜104の上に膜厚が約150nmのシリコン窒化膜105を堆積する。その後、シリコン窒化膜105の上にゲート電極を形成するためのレジストパターン106を形成する。

【0073】次に、図5 (c) に示す工程で、レジストパターン106をマスクとするエッチングにより、シリコン窒化膜105および多結晶シリコン膜104をバーニングして、ゲート電極107とゲート上絶縁膜108とをそれぞれ形成する。

【0074】次に、図5 (d) に示す工程で、基板上に、ゲート電極107およびゲート上絶縁膜108を複数枚厚が約20nmの薄いシリコン酸化膜からなるバッド膜109を形成する。その後、基板上にBPSG膜を堆積した後、BPSG膜をエッチバックして、ゲート電極107およびゲート上絶縁膜108の側面上に、酸化膜サイドウォール140を形成する。その後、フィールド酸化膜102とゲート上絶縁膜108と酸化膜サイドウォール140とをマスクとして、不純物のイオン注入を行なって、シリコン基板101のうち酸化膜サイドウォール140の外側に位置する領域に高濃度イオン注入層115を形成する。このとき、例えば砒素を、注入エネルギーが40keVで、ドーズ量 $3 \times 10^{15}/cm^2$ の条件下で注入する。

【0075】次に、図6 (e) に示す工程で、1000℃、10秒間の熱処理(アニール)により、高濃度イオン注入層115に注入された不純物を活性化して、高濃度拡散層118を形成する。

【0076】次に、図6 (f) に示す工程で、フッ酸蒸気によるエッチングによって、酸化膜サイドウォール140を除去する。その後、基板上に、膜厚が約50nmのシリコン窒化膜であるエッチストップ膜113を堆積する。さらに、エッチストップ膜113の上に、層間絶縁膜として膜厚が約1000nmのBPSG膜116を堆積する。

【0077】次に、図6 (g) に示す工程で、BPSG膜116の上に、コンタクト孔を開口するためのマスクとなるレジストパターン119を形成する。このレジストパターン119は、高濃度拡散層118の上方に位置する部分に開口を有しているが、この開口の位置はゲ

ト電極107に対して自己整合的に形成されている。つまり、レジストパターン119の開口は、フォトマスクの位置のずれ方によつては、エッチストップ膜113の垂直方向に延びる部分やゲート上絶縁膜108とオーバーラップすることもあり、フィールド酸化膜102とオーバーラップすることもある。

【0078】次に、図6 (h) に示す工程で、レジストパターン119をマスクとするエッチングを行なって、層間絶縁膜であるBPSG膜116とエッチストップ膜113とバッド膜109とを貫通して高濃度拡散層118に到達するコンタクト孔120を開口する。

【0079】その後、上記従来例と同様に、コンタクト孔120の内部及び層間絶縁膜116の上にアルミニウム合金膜を堆積した後、アルミニウム合金膜をバーニングして、配線を形成する。

【0080】本実施形態においても、上記第1の実施形態と同様に、高濃度拡散層118形成のための不純物イオンの注入の際(図5 (d) 参照)には、酸化膜サイドウォール140が存在するので、高濃度拡散層118の範囲の規定と温度プロファイルの制御とが円滑に行なわれる。一方、層間絶縁膜であるBPSG膜116を堆積する前には、酸化膜サイドウォール140が除去されゲート電極間の隙間が広く確保されている。また、エッチストップ膜113によってSACの形成時にコンタクト孔がゲート電極に到達したり、コンタクト孔が素子分離領域のフィールド酸化膜102を貫通するのが阻止される。よつて、上記第1の実施形態と同じ効果を發揮することができる。

【0081】特に、本実施形態においては、第1、第2の実施形態におけるシリコン窒化膜からなる窒化膜サイドウォール110や、窒化チタン膜からなる窒化チタン膜サイドウォール130に代えて、BPSG膜からなる酸化膜サイドウォール140を設けているので、酸化膜サイドウォール140の除去をフッ酸蒸気によって選択的に行なうことが可能になる。つまり、本実施形態の方法を用いると、第1、第2の実施形態のごとき液槽に浸漬する必要のあるウエットエッチングではなく、チャンバ内で処理できる蒸気エッチングを用いることができる。本実施形態により、酸化膜サイドウォール140の除去工程とその前後の工程との接続が極めて容易化され、製造工程の所要時間の短縮と工程の簡素化などを図ることができる。

【0082】上記第1～3の実施例においては、半導体装置内のnチャネル型のMISトランジスタの部分の構造の変化を示しながら、製造工程の説明を行なったが、一般的に半導体装置内にはpチャネル型MISトランジスタや、ゲート酸化膜の膜厚の異なるトランジスタ(nチャネル型及びpチャネル型MISトランジスタ)も配置されており、これらの各MISトランジスタにおいても、製造工程において各実施形態に示すpチャネル型M

ISトランジスタと同様の構造の変化が生じることになる。

【0083】また、BiCMOSデバイスである半導体装置におけるCMOS部分に本発明を適用することにより、上記各実施形態と同様の効果を發揮することができる。

【0084】また、上記第1、第2の実施形態においては、MISトランジスタの拡散層が低濃度拡散層と高濃度拡散層からなるいわゆるLDD構造を有するMISトランジスタに本発明を適用した例を説明したが、シングルドレイン構造を有するMISトランジスタに本発明を適用しても上述の効果を發揮することができる。逆に、第3の実施形態を、LDD構造を有するMISトランジスタに適用しても、上述の効果を發揮することができる。

【0085】また、上記第1～3の実施形態においてはエッチストップ膜113をシリコン窓化膜により構成したが、本発明のエッチストップ膜の材質はこれに限定するものではなく、例えばシリコンオキシナイトライド膜、窓化アルミニウム膜、あるいはアルミナ膜等によってエッチストップ膜としての機能を果たさせてもかまわない。

【0086】また、上記各実施形態においては、ゲート電極107を単層のn型多結晶シリコン膜により構成したが、本発明はこれに限定するものではなく、多結晶シリコン膜からなる下部ゲート電極上に例えばモリブデンシリサイド膜等のシリサイド膜からなる上部ゲート電極が設けられたポリサイドゲート構造を有する半導体装置や、多結晶シリコン膜からなる下部ゲート電極上にタンクステン膜等のメタル膜からなる上部ゲート電極が設けられたポリメタルゲート構造を有する半導体装置についても、上記各実施形態と同様の効果を得ることができる。

【0087】また、高濃度拡散層形成のためのイオン注入後に除去するサイドウォールを構成する材料は、上記各実施形態におけるシリコン窓化膜、窓化チタン膜、BPSG膜に限定されるものではなく、絶縁性材料に限定されるものでもない。例えば、ポリシリコン膜、Al膜、Cu膜、Ti膜などの導体膜など、パッド膜109を構成するシリコン酸化膜とのエッチング選択比が十分確保できる材料であれば、それをサイドウォール構成用材料として用いることにより、上記各実施形態とほぼ同様の効果を發揮することができる。

【0088】

【発明の効果】本発明の半導体装置の製造方法によれば、高濃度拡散層形成のための不純物のイオン注入の際には、高濃度拡散層の範囲をサイドウォールによって規定しつつ、層間絶縁膜を形成する前にサイドウォールを除去して、基板上にエッチストップ膜を堆積してから、層間絶縁膜の形成、コンタクト孔の形成を行なうように

したので、自己結合型コンタクトを備え、超微細で信頼性の高いMISトランジスタを配置した半導体装置を形成することができる。

【図面の簡単な説明】

【図1】(a)～(d)は、本発明の第1の実施形態における製造工程のうち高濃度イオン注入層を形成するまでの工程を示す断面図である。

【図2】(a)～(d)は、本発明の第1の実施形態における製造工程のうちコンタクト孔を形成するまでの工程を示す断面図である。

【図3】(a)～(d)は、本発明の第2の実施形態における製造工程のうち高濃度イオン注入層を形成するまでの工程を示す断面図である。

【図4】(a)～(d)は、本発明の第2の実施形態における製造工程のうちコンタクト孔を形成するまでの工程を示す断面図である。

【図5】(a)～(d)は、本発明の第3の実施形態における製造工程のうち高濃度イオン注入層を形成するまでの工程を示す断面図である。

【図6】(a)～(d)は、本発明の第3の実施形態における製造工程のうちコンタクト孔を形成するまでの工程を示す断面図である。

【図7】(a)～(e)は、第1の従来例における製造工程のうち厚いシリコン酸化膜を形成するまでの工程を示す断面図である。

【図8】(a)～(e)は、第1の従来例における製造工程のうち層間絶縁膜を形成するまでの工程を示す断面図である。

【図9】(a)～(d)は、第1の従来例における製造工程のうち配線を形成するまでの工程を示す断面図である。

【図10】(a)～(e)は、第2の従来例における製造工程のうち層間絶縁膜を形成するまでの工程を示す断面図である。

【図11】(a)～(d)は、第2の従来例における製造工程のうち配線を形成するまでの工程を示す断面図である。

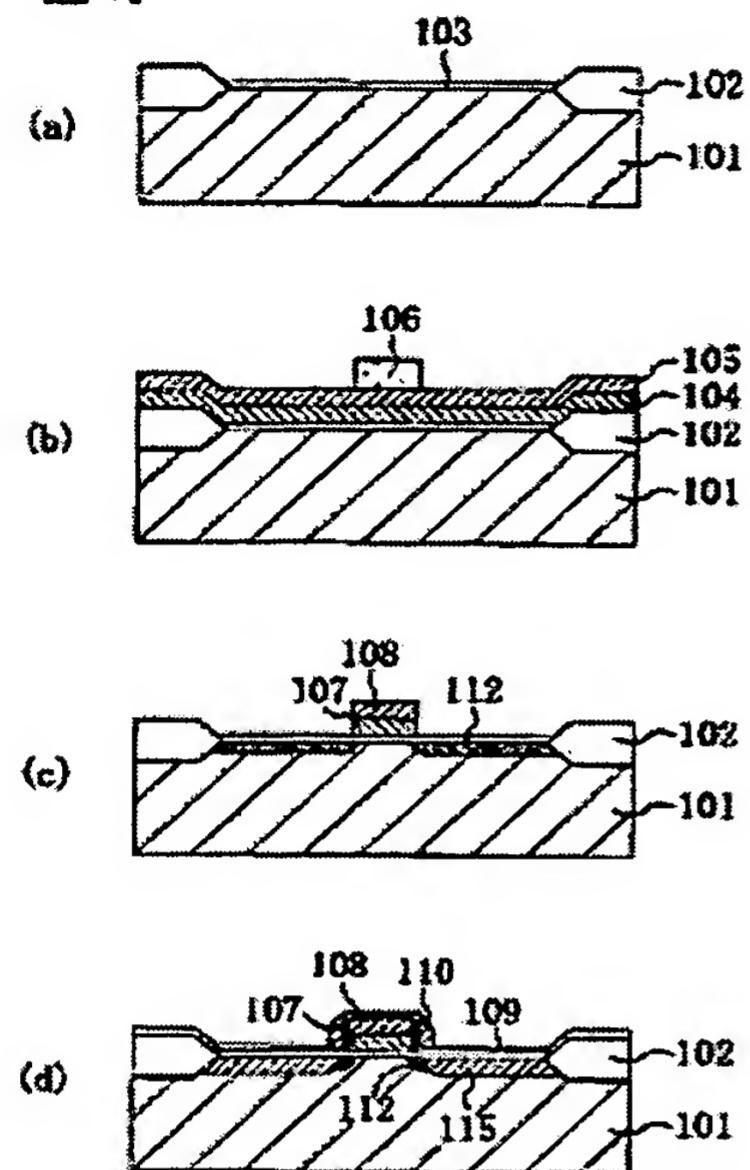
【符号の説明】

- 101 シリコン基板(半導体基板)
- 102 フィールド酸化膜(素子分離領域)
- 103 ゲート酸化膜(ゲート絶縁膜)
- 104 多結晶シリコン膜
- 105 シリコン窓化膜
- 106 レジストパターン
- 107 ゲート電極
- 108 ゲート上絶縁膜
- 109 パッド膜
- 110 窓化膜サイドウォール
- 112 低濃度イオン注入層
- 115 高濃度イオン注入層

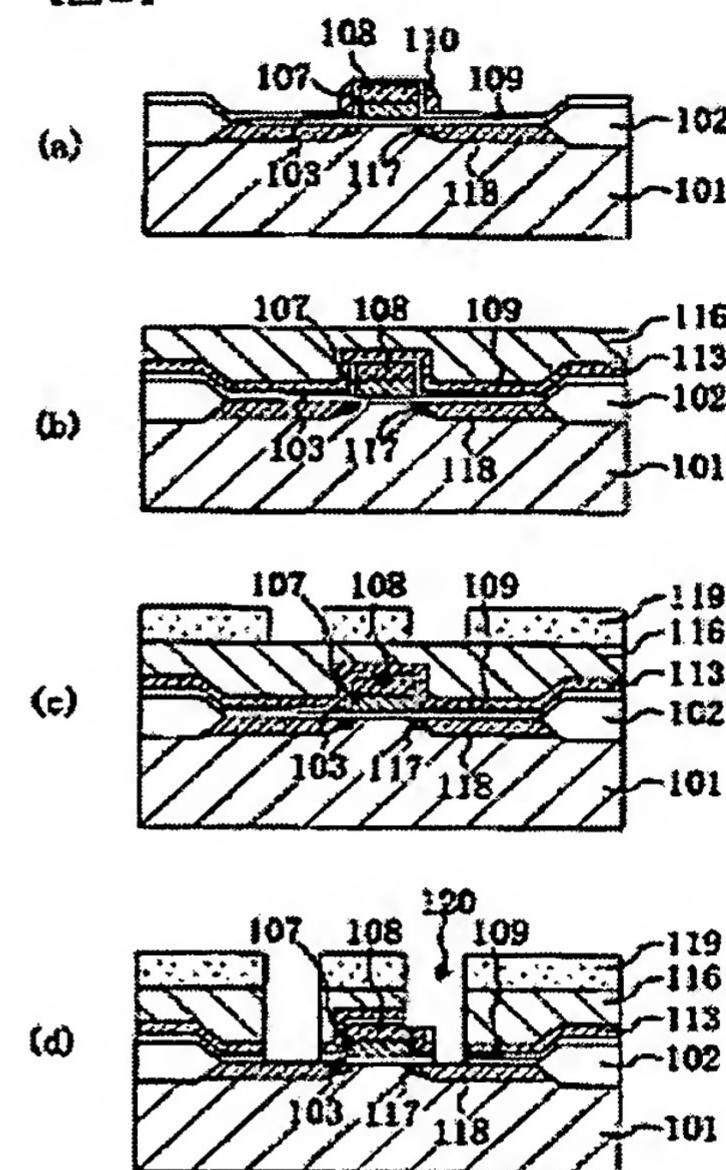
117 低濃度拡散層
118 高濃度拡散層
119 レジストパターン

120 コンタクト孔
130 窒化チタン膜サイドウォール
140 酸化膜サイドウォール

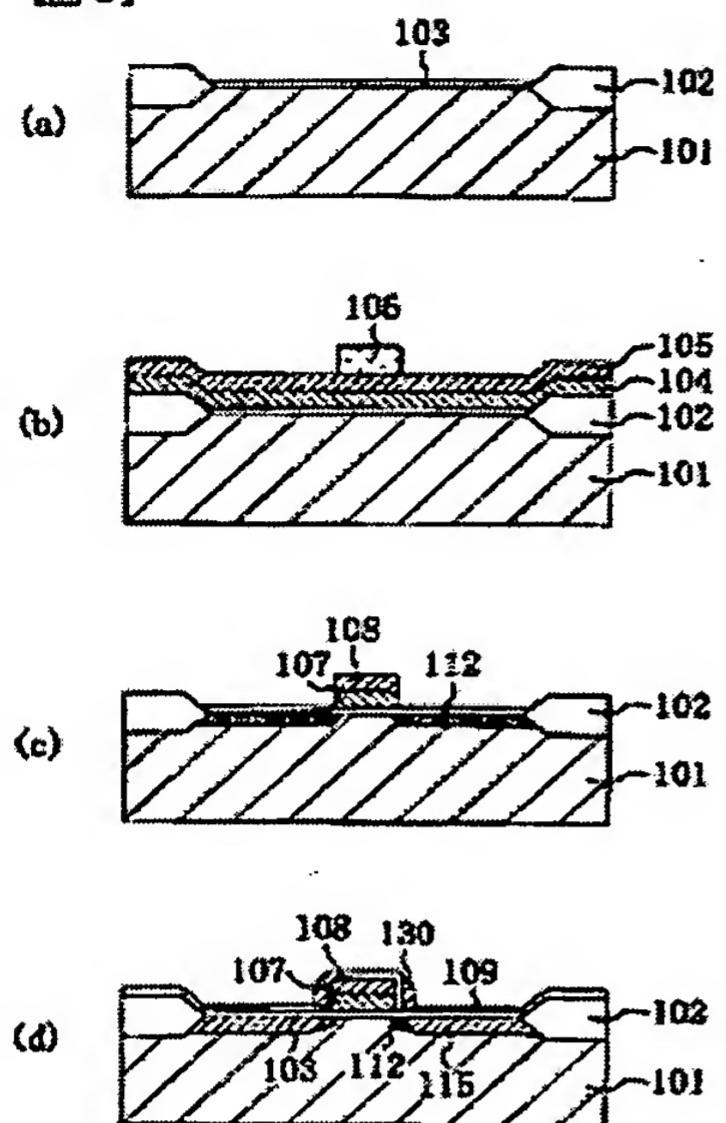
【図1】



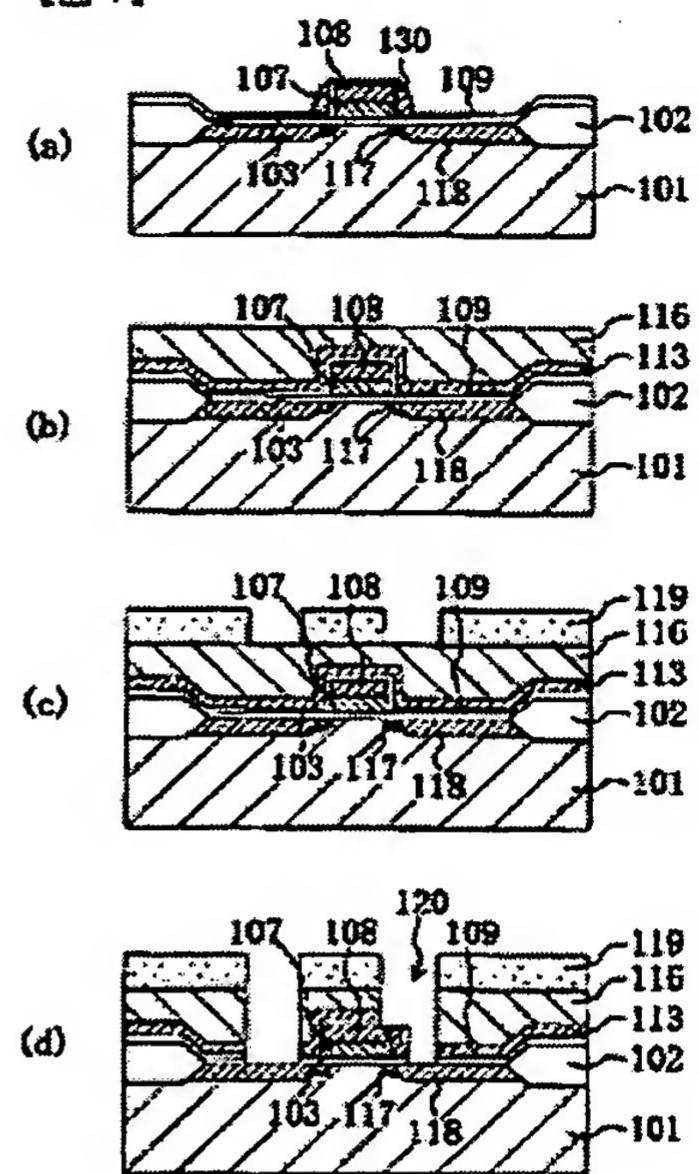
【図2】



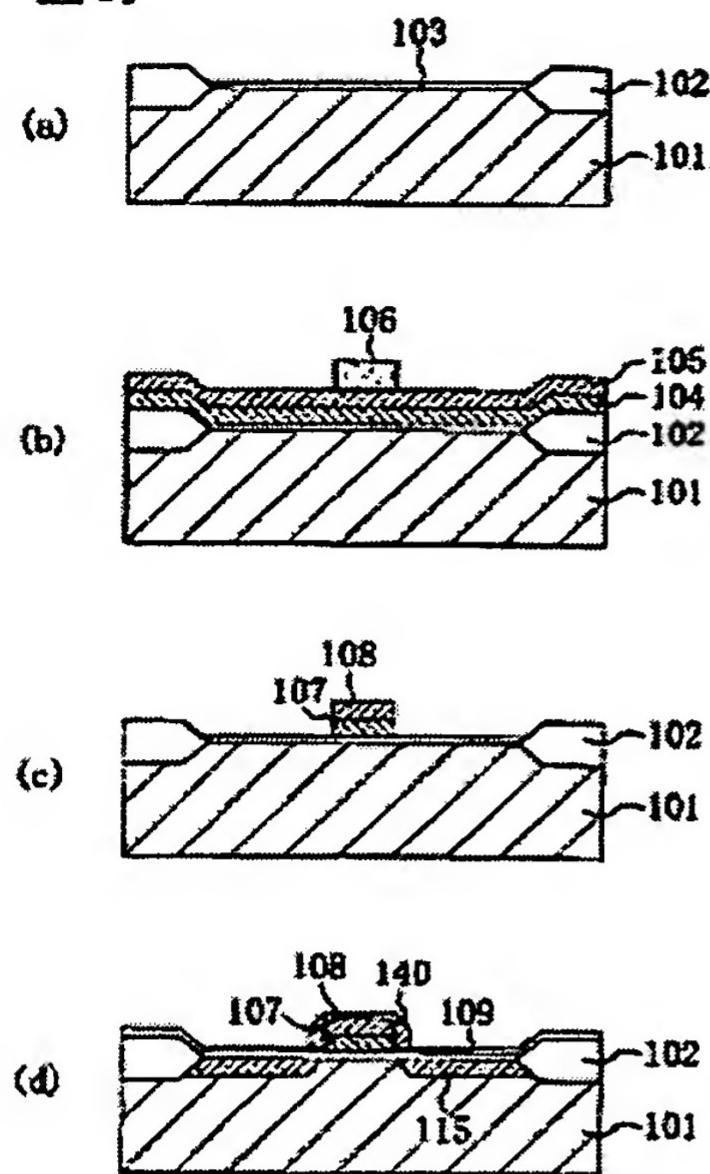
[图3]



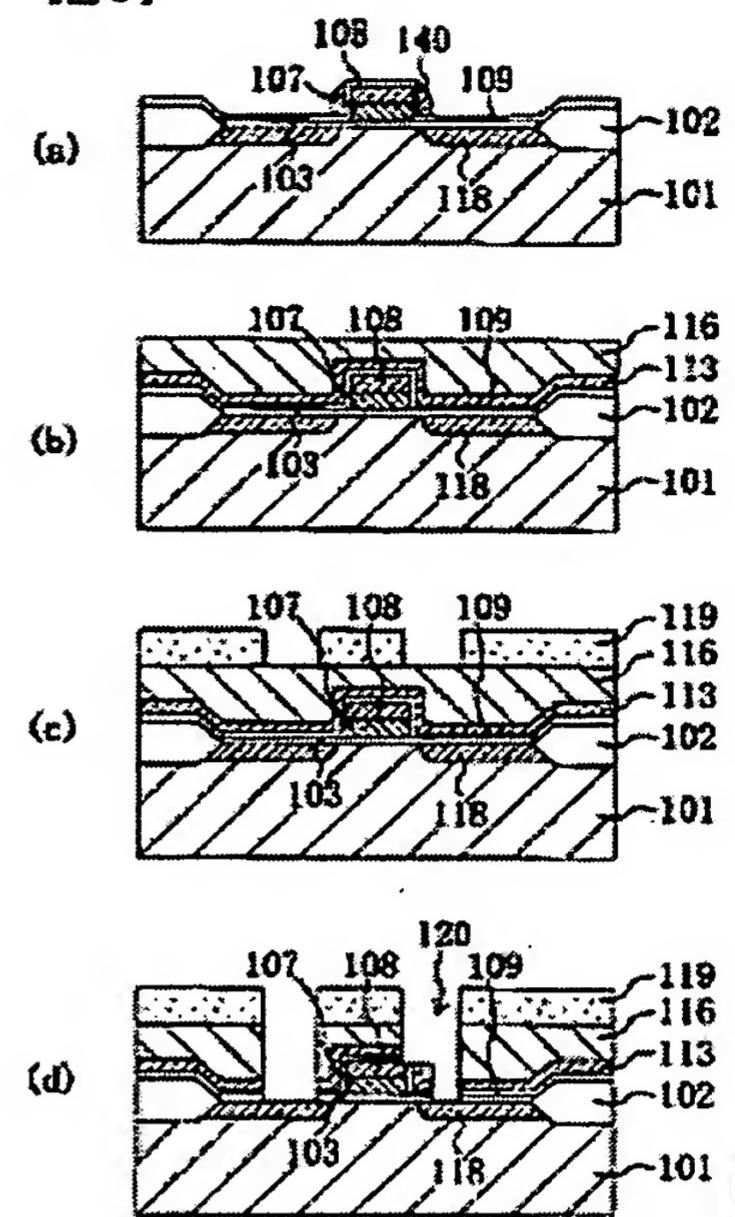
[图4]



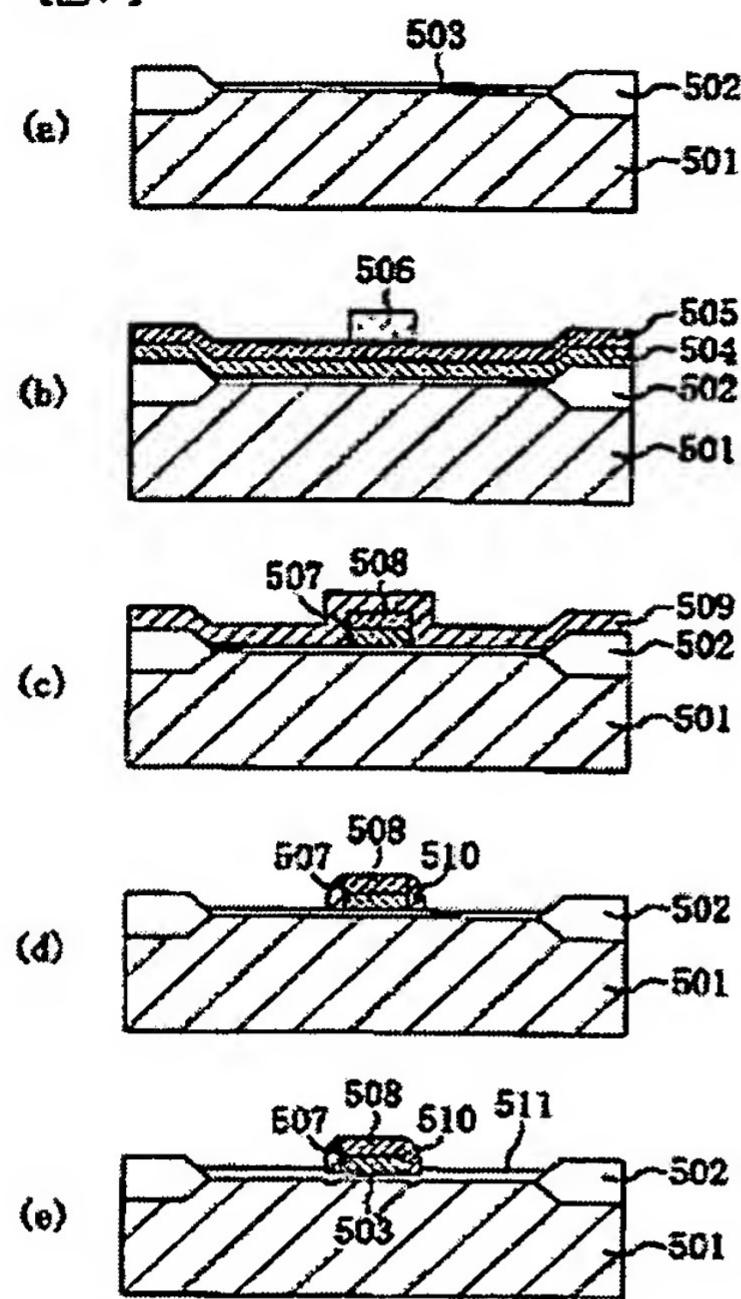
[図5]



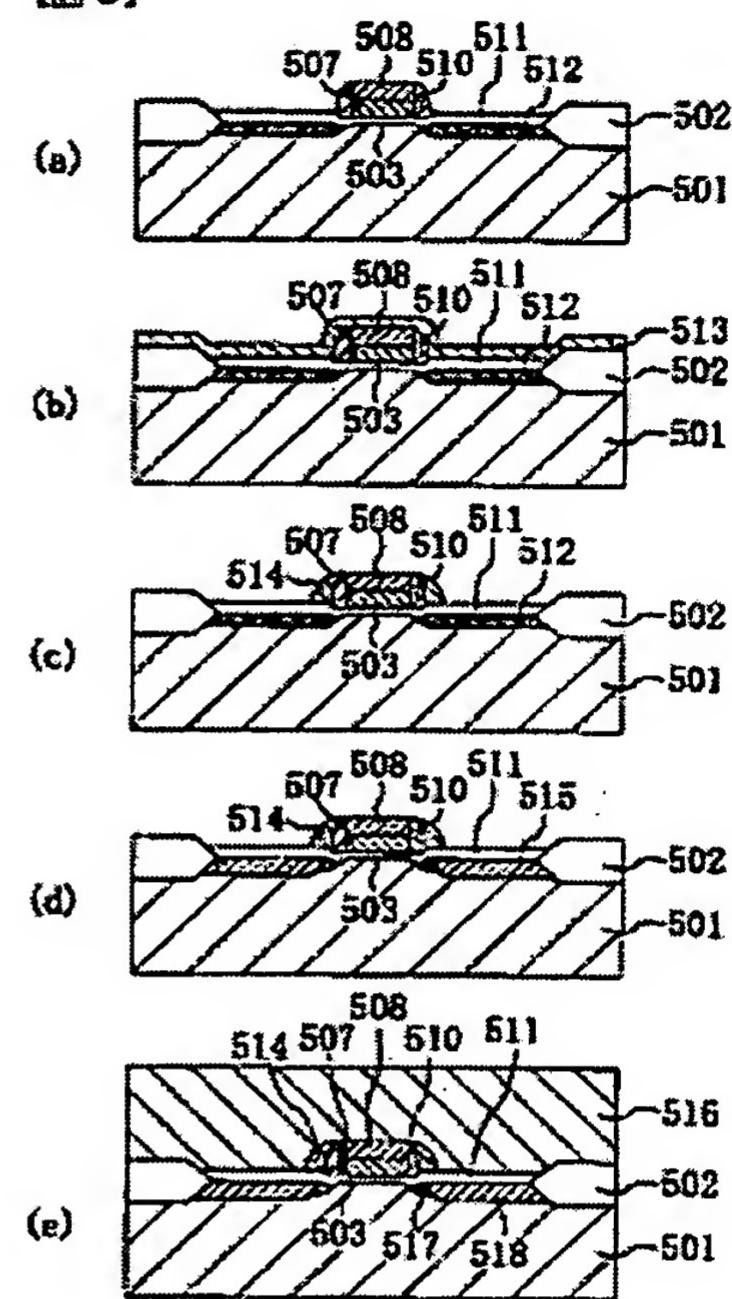
[図6]



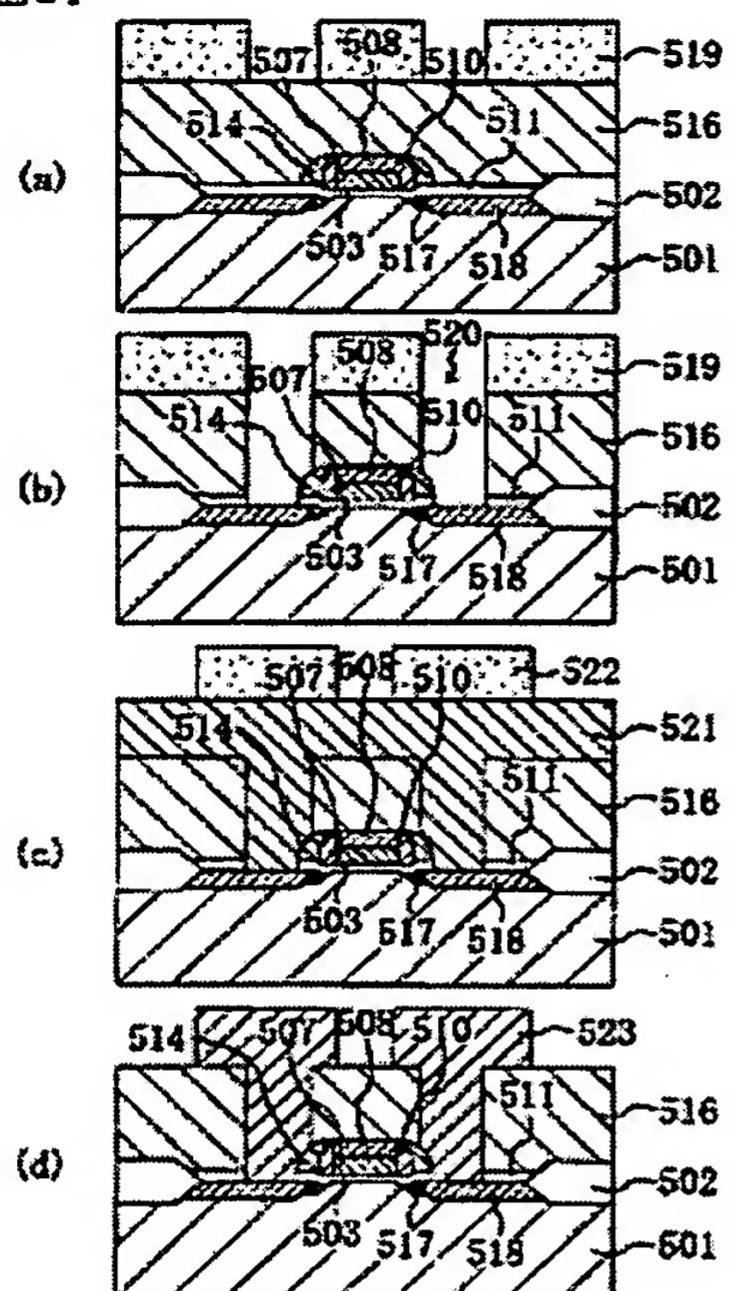
【図7】



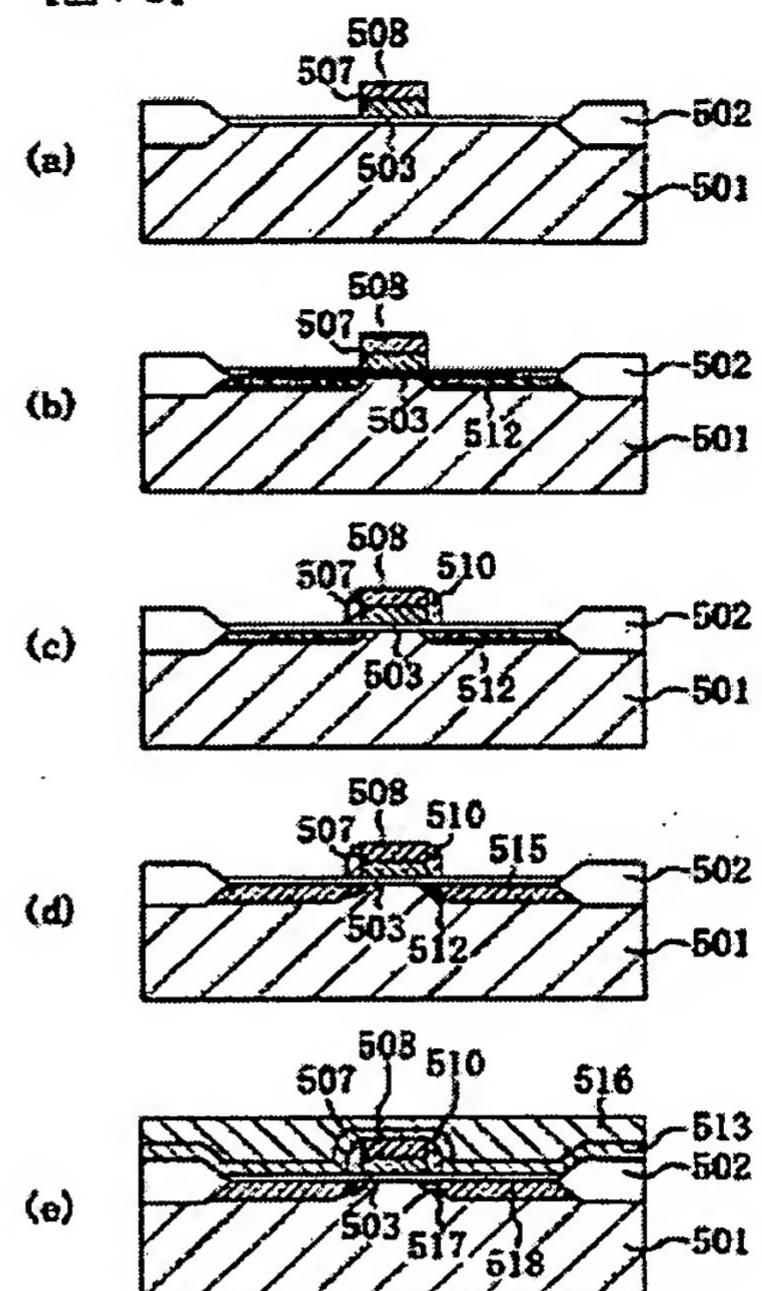
【図8】



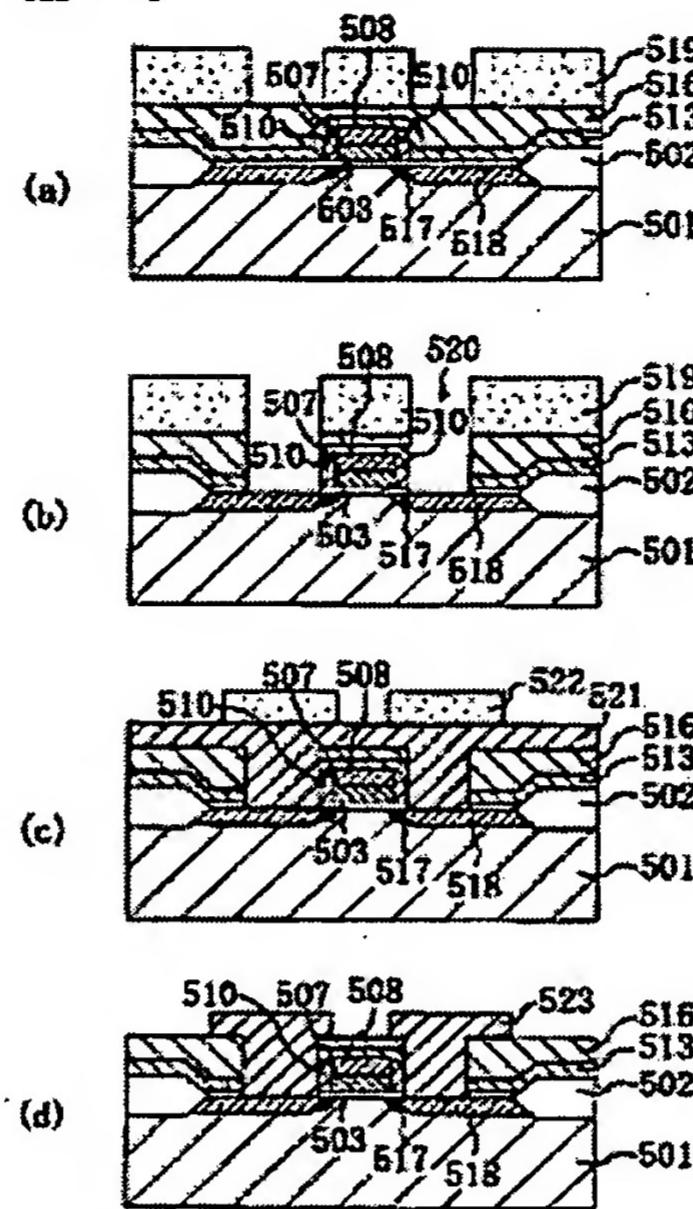
【图9】



【图10】



【図 11】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB02 BB18 BB26
CC01 CC05 DD02 DD04 DD16
DD17 DD19 DD63 EE05 EE09
EE12 EE15 EE17 FF14 GG14
GG15 HH14
SF033 HH04 HH09 HH19 HH29 MM07
QQ09 QQ19 QQ25 QQ31 QQ37
QQ58 QQ65 QQ73 RR03 RR04
RR05 RR06 RR08 RR15 TT02
TT07 XX15
SF040 DA06 DA18 DC01 EC01 EC07
EC12 EC13 EF02 EH02 EH05
EH08 EJ08 EK01 FA04 FA05
FA07 FA08 FA10 FA18 FB02
FC22